

⑯ 日本国特許庁 (JP) ⑰ 特許出願公開
⑰ 公開特許公報 (A) 昭59—146352

⑮ Int. Cl.⁹
G 06 F 11/28
9/30
15/06

識別記号 廷内整理番号
6913—5B
A 7218—5B
7343—5B

⑯ 公開 昭和59年(1984)8月22日
発明の数 2
審査請求 未請求

(全 10 頁)

④シングル・チップ・マイクロコンピュータ方
式

東京都港区芝五丁目33番1号日
本電気株式会社内

⑤特 願 昭58—20125
⑥出 願 昭58(1983)2月9日
⑦發 明 者 河田和秀

⑧出願人 日本電気株式会社
東京都港区芝5丁目33番1号
⑨代 理 人 弁理士 内原晋

明細書

1. 発明の名称

シングル・チップ・マイクロコンピュータ方式

2. 特許請求の範囲

(1) 通常モードとデバッグ・モードの2つのモードに切り換えるモード切り換え手段と、プログラム格納メモリと、命令をデコードする命令デコーダと、複数の外部端子と、外部端子制御手段と、前記モード切り換え手段がデバッグ・モードに切り換っているとき前記複数の外部端子のうちの所定の外部端子を命令入力端子またはデータ入出力端子に指定しかつシングル・チップマイクロコンピュータをマスター又はスレーブに指定する機能分担指定手段とを備え、前記モード切り換え手段が通常モードに切り換っている場合は前記命令デコーダは前記プログラム格納メモリから出力される命令をデコードし、前記モード切り換え手段がデバッグ・モードに切

り換っている場合は前記命令デコーダは前記機能分担指定手段により命令入力端子に指定された前記外部端子から入力された命令をデコードし、もし前記シングル・チップ・マイクロコンピュータがスレーブに指定されており前記命令入力端子、データ入出力端子のいずれにも指定されていない前記外部端子を操作する命令がデコードされた場合は該外部端子を操作するためのデータを前記データ入出力端子に指定された前記外部端子より入力又は出力し、もし前記シングル・チップ・マイクロコンピュータがマスターに指定されており前記命令入力端子または前記データ入出力端子に指定された前記外部端子を操作する命令がデコードされた場合には該外部端子を操作すべきデータを前記データ入出力端子に指定された前記外部端子に出力または入力することを特徴とするシングル・チップ・マイクロコンピュータ方式。

(2) 通常モードとデバッグ・モードの2つのモードに切り換えるモード切换手段と、プログ

ラム格納メモリと、命令をデコードする命令デコーダと、複数の外部端子と、外部端子制御手段と、プログラム・カウンタと、前記モード切り換え手段がバック・モードに切り換っているとき前記複数の外部端子のうちの所定の外部端子を命令入力端子またはデータ入出力端子に指定しかつシングル・チップ・マイクロコンピュータをマスター又はスレーブに指定する機能分担指定手段とを備え、前記モード切り換え手段が通常モードに切り換っている場合は前記命令デコーダは前記格納メモリから出力される命令をデコードし、前記モード切り換え手段がデバッグ・モードに切り換っている場合は前記命令デコーダは所定のタイミングにしたがって前記プログラム・カウンタから前記機能分担指定手段により命令入力端子に指定された前記外部端子を介して入力された命令をデコードし、もし前記シングル・チップ・マイクロコンピュータがスレーブに指定されており前記命令入力端子・データ入出力端子のいずれにも指定されてい

る。このため、チップ製造メーカーは、アーキテクチャは同一にして、ROM, RAM あるいは出入力ポート等の資源(リソース)の規模の異なるシングル・チップ・マイクロコンピュータを準備するといったいわゆる「ファミリー化」を行い、同一ファミリーのそれぞれのシングル・チップ・マイクロコンピュータのプログラムの開発をそのファミリーと同一のアーキテクチャで、かつ、考えられる限り最大の資源を有する評価用チップ一種類で行う事により、評価用チップの非効率性を補ぎなっているのが現状である。

しかし、半導体製造技術(プロセス)の進歩により、もっと高速または集成度の高いチップが製造可能となつたために、周辺回路の特性等の向上及び、開発当時最大と考えられていた資源の拡張の要求(たとえば、ROM/RAM 容量の拡張、A-Dコンバータ等の周辺回路の追加等)が評価チップの開発が完了してまもない時期に、市場から出される事もまれではない。この様な場合、そのファミリーに新たにその様な要求を満足する品種

ない前記外部端子を操作する命令がデコードされた場合は該外部端子を操作するためのデータを前記データ入出力端子に指定された前記外部端子より入力または出力し、もし前記シングル・チップ・マイクロコンピュータがマスターに指定されており前記命令入力端子または前記データ入出力端子に指定された前記外部端子を操作する命令がデコードされた場合には該外部端子を操作すべきデータを前記データ入出力端子に指定された前記外部端子に出力または入力することを特徴とするシングル・チップ・マイクロコンピュータ方式。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、プログラムを格納するプログラム・メモリを内蔵したシングル・チップ・マイクロコンピュータ方式に関する。

(従来技術)

集積回路技術の進歩により、現在では、中央制

をシングル・チップ・マイクロコンピュータとして追加する事は、将来の市場を考えれば非効率な事ではないが、そのためには、評価用チップも平行して開発するという事は、その予想される生産数量と、開発工数の点から見れば効率の良い事ではない。

新たな要求が単に周辺回路、たとえばA-Dコンバータの新設という場合には、その時点で評価チップの未使用の入出力ポート等を介して、外部回路として、追加する事は可能である。しかし、この場合でも、外部回路としてのA-Dコンバータの特性と、実際のシングル・チップ・マイクロコンピュータに内蔵されるものの特性とが完全には一致していない事等により、完全にプログラムを評価するという点に於いては不案が残るものである。

この様に、現在行われている評価チップによるシングル・チップ・マイクロコンピュータのプログラム開発は、技術の進歩に対して、柔軟性に欠けるという欠点がある。

(発明の目的)

本発明は、以上の様な現状にかんがみ、シングル・チップ・マイクロコンピュータ内にわずかな回路を付加する事により、評価用チップを使用せずに、その目的とするシングル・チップ・マイクロコンピュータを複数個使用して、プログラムの開発はもちろんの事、ハードウェアの評価も行え、なおかつ、プログラムの開発時のみに必要な端子がきわめて少なく、端子効率のよいシングル・チップ・マイクロコンピュータを形成できるところのシングル・チップ・マイクロコンピュータ方式を提供する事を目的とする。

(発明の構成)

本第1発明の方式は、通常モードとデバッグ・モードの2つのモードに切り換えるモード切り換え手段と、プログラム格納メモリと、命令をデコードする命令デコーダと、複数の外部端子と、外部端子制御手段と、前記モード切り換え手段がデバッグ・モードに切り換っているとき前記複数の外部端子のうちの所定の外部端子を命令入力端子

この欠点をなくするために、次の様なシングル・チップ・マイクロコンピュータが考案されている。すなわち、命令を外部から入力するための命令入力端子と、命令を外部から入力するか、または、内部のROMの出力を使用するかを指定する端子をその目的のためだけに備えたものである。この方法によれば、プログラムを評価する評価用チップと、目的とするシングル・チップ・マイクロコンピュータは同一であるので、前述の評価用チップの様な柔軟性の問題は解決される。しかし、上記の追加された端子は「シングル・チップ・マイクロコンピュータ」として使用する場合は不要のものであるため、プログラムの開発が終了し、実際の装置に組み込まれた時点では、ほとんどの場合無駄にパッケージの端子を用いているにすぎないため、パッケージの端子制限のきびしいシングル・チップ・マイクロコンピュータにとって、パッケージの端子を利用する端子効率が悪いという別の問題がある。

またはデータ入出力端子に指定しかつシングル・チップマイクロコンピュータをマスター又はスレーブに指定する機能分担指定手段とを備え、前記モード切り換え手段が通常モードに切り換っている場合は前記命令デコーダは前記プログラム格納メモリから出力される命令をデコードし、前記モード切り換え手段がデバッグ・モードに切り換っている場合は前記命令デコーダは前記機能分担指定手段により命令入力端子に指定された前記外部端子から入力された命令をデコードし、もし前記シングル・チップ・マイクロコンピュータがスレーブに指定されており前記命令入力端子・データ入出力端子のいずれにも指定されていない前記外部端子を操作する命令がデコードされた場合は該外部端子を操作するためのデータを前記データ入出力端子に指定された前記外部端子より入力又は出力し、もし前記シングル・チップ・マイクロコンピュータがマスターに指定されており前記命令入力端子または前記データ入出力端子に指定された前記外部端子を操作する命令がデコードされた場

合には該外部端子を操作すべきデータを前記データ入出力端子に指定された前記外部端子に出力または入力することからなっている。

本第2発明の方式は、通常モードとデバッグ・モードの2つのモードに切り換えるモード切換手段と、プログラム格納メモリと、命令をデコードする命令デコーダと、複数の外部端子と、外部端子制御手段と、プログラム・カウンタと、前記モード切り換え手段がデバック・モードに切り換っているとき前記複数の外部端子のうちの所定の外部端子を命令入力端子及びデータ入出力端子に指定しかつシングル・チップ・マイクロコンピュータをマスター又はスレーブに指定する機能分担指定手段とを備え、前記モード切り換え手段が通常モードに切り換っている場合は前記命令デコーダは前記格納メモリから出力される命令をデコードし、前記モード切り換え手段がデバッグ・モードに切り換っている場合は前記命令デコーダは所定のタイミングにしたがって前記プログラム・カウンタから前記機能分担指定手段により命令入力端

子に指定された前記外部端子を介して入力された命令をデコードし、もし前記シングル・チップ・マイクロコンピュータがスレーブに指定されており前記命令入力端子・データ入出力端子のいずれにも指定されていない前記外部端子を操作する命令がデコードされた場合は該外部端子を操作するためのデータを前記データ入出力端子に指定された前記外部端子より入力または出力し、もし前記シングル・チップ・マイクロコンピュータがマスターに指定されており前記命令入力端子または前記データ入出力端子に指定された前記外部端子を操作する命令がデコードされた場合には該外部端子を操作すべきデータを前記データ入出力端子に指定された前記外部端子に出力または入力することからなっている。

(実施例)

以下、本発明について図面を参照して詳細に説明する。

第1図は、本第2発明の方式を適用したシングル・チップ・マイクロコンピュータの一実施例の構

成を示すブロック図である。3値デコーダ(RES)1は、リセット端子4に加えられた"+", "0" (RES), "-"のレベルにより、内部リセット信号2及びモード切り換え信号3を以下の様に制御する。つまり、リセット端子4に加えられたレベルが"0"のときには、リセット信号2を活性化し、モード切り換え信号3としては、通常モードを指定する信号を出力する。また、 "+"のときは、リセット信号2を不活性化し、モード切り換え信号3に通常モードを指定する信号を出力する。さらに、リセット端子4に"- "のレベルが入力された場合は、リセット信号2を不活性化し、モード切り換え信号3にデバッグ・モードを指定する信号を出力する。

モード切り換え信号3が通常モードのときは、発振器5内の選択回路(MUX)6は内部の増幅器8の出力を外部端子(XO)7に接続する。この状態で外部端子7と外部端子(XI)9間に共振回路、たとえば、水晶発振子等を接続するとその共振周波数で発振し、その発振出力は内部クロック(CK)

10として、内部回路の同期用信号として供給される。また、モード切り換え信号3がデバッグ・モードのときは、選択回路6は外部端子7を増幅器8の出力から切りはなし、マスター/スレーブ切り換え信号11に接続する。この状態においては外部端子9に加えられたクロック信号がそのまま内部クロック10として使用され、また、外部端子7に低レベルが入力されると、マスター/スレーブ切り換え信号11はマスターを、また、高レベルが入力されるとスレーブを指定する。

まず、モード切り換え信号3が通常モードを指定している場合(このモードを「通常モード」という。)の各ブロック動作を説明する。命令デコーダ(INST·DEC)12は、ROM13から選択回路(MUX)20を介して出力される命令をデコードして、その命令の実行に必要な内部ブロックに動作信号を出力する。マイクロコンピュータの外部端子PA14, PB15, PC16, PD17は、プログラム・コントローラPAC21, PBC22, PCC23, PDC24と共に、いわゆる「入出力ポート」とし

て動作する。ALU19の演算結果等のデータは内部データ・バス18を介して内部の機能ブロック間でやりとりされる。この状態では、現在あるシングル・チップ・マイクロコンピュータとその動作は基本的には同一である。

次に、モード切り換え信号3がデバッグ・モードを指定し、マスター／スレーブ切り換え信号11がマスターを指定している場合(このモードを「マスター・モード」という。)の動作について説明する。このモードにおいては外部端子PC16は命令入力用端子として使用され、そこから入力された命令が命令デコ-ダ12によってデコードされる。また、外部端子PA14は外部データ・バスとして使用され、たとえば、外部端子PC16より入力された命令が外部端子PC16にRAM20のデータを出力する事を指示している場合には、RAM20のデータは、PC16には出力されず、データ・バス18を介して、PA14に出力される。つまりここで、本来の入出力ポートとして使用されていないPC16とPA14に対する操作命令が実行さ

同様に行われる。

第2図は、第1図に示した実施例であるシングル・チップ・マイクロコンピュータの一応用例であり、第1図と同一機能のものには同一の参照記号を付してある。この応用例では、リセット端子4には、“+”または“0”のレベルの信号しか入力しない。つまり、前述の通常モードでしか使用しない例で、この場合は一般的なシングル・チップ・マイクロコンピュータと同様の動作を行う。

第3図は、第1図に示した実施例のシングル・チップ・マイクロコンピュータを2個使用し、プログラムの開発を行う場合の応用例である。シングル・チップ・マイクロコンピュータ30及び31は、第1図に示したものと全く同一である。ここでリセット制御回路(RES.CONT)32は、“+”または“0”レベルを入力されて、リセット端子4に“-”または“0”レベルを出力する。外部発振器(EXT.CLK.GEN)33は、同期用のクロックをシングル・チップ・マイクロコンピュータ30及び31に出力するとともに、外部命

令入力端子PC16に命令入力用データを入力する。この場合、このモードでは、その操作すべきデータは、すべて、PA14に出力またはPA14から入力される。

次に、モード切り換え信号3がデバッグ・モードを指定し、マスター／スレーブ切り換え信号11がスレーブを指定している場合このモードを「スレーブ・モード」という。)について説明する。このモードにおいては、命令は外部端子PD17から入力され、外部データ・バスとして外部端子PB15が割り当てられる。このモードにおいては、ALU19及びRAM20は、データ・バス18にデータを出入する事を禁止される。このモードでは、PA14またはPC16の操作命令がPD17より入力されたときのみ、命令デコ-ダ12から制御信号が出力される。たとえば、PA14からデータを入力する命令がPD17より入力されると、命令デコ-ダ12は、PA14から入力したデータをPB15へ出力し、また、PA14への出力命令が入力されると、PB15から入力したデータがPA14へ出力される。この一連の動作は、PC16に対する操作命令のときも

命令デコ-ダ(EXT.ID)34、外部プログラム・カウンタ(EXT.P.C)35、及びリセット制御回路32にも出力する。

次に、第3図に示した応用例の具体的動作を説明する。

リセット制御回路32の“0”レベルが入力されると、シングル・チップ・マイクロコンピュータ30及び31、外部発振器33、外部命令デコ-ダ34、外部プログラム・カウンタ35は初期化(イニシャライズ)される。次に、リセット制御回路32の入力が“0”から“+”レベルに変化すると、リセット制御回路32は、その出力4'を外部発振器33からの外部クロック9'に同期して“0”から“-”レベルに変化させる。この時シングル・チップ・マイクロコンピュータ30及び31はデバッグ・モードに入るが、シングル・チップ・マイクロコンピュータ30の外部端子7は低レベルに固定してあるためマスター・モードとなる。一方、シングル・チップ・マイクロコンピュータ31の外部端子7は高レベルに固定さ

れているため、これはスレーブ・モードになる。また、この時、シングル・チップ・マイクロコンピュータ30及び31の内部状態は外部クロック9'により同期がとられる。外部プログラム・カウンタ35は、外部クロック9'に同期して、^(PROG. MEM.)その値を1づつ増し、プログラム・メモリ36は、外部プログラムカウンタ35で指定される番地の内容を外部命令デコード34、シングル・チップ・マイクロコンピュータ30の外部端子PC、同31の外部端子PDに入力する。

その命令が、PCにデータを出力する命令の場合は、第1図の説明からも明らかな様に、マイクロコンピュータ30のPAから出力されたデータがマイクロコンピュータ31のPBを介して、マイクロコンピュータ31のPCに出力される。また、その命令がPCからデータを入力する場合は、マイクロコンピュータ31のPCに入力されたデータが、同31のPBを介して、マイクロコンピュータ30のPAに入力され、命令で指定されたRAM等に格納される。

命令を入力する端子の使用していない時間を利用して選択回路(MUX)41を介しアドレス・インストラクション・バス(AIB)42に出力する事により、外部命令デコード及び外部プログラム・カウンタを不要としている。

次に、第5図のタイミング図を参照しながら第4図の動作説明を行う。第5図に示した通り本実施例のマイクロコンピュータは、M1, M2, M3から成る3つのサイクルで命令を実行する。まず、M1では外部端子PC16または、外部端子PD17から入力された命令をデコードし、M2で必要なデータを読み出し、それに対する演算を施し、M3でその演算結果を指定された場所に格納する。この事から明らかに命令の入力が必要なのはM1の期間だけであり、M2, M3の期間には命令を入力してやる必要はない。このためこの実施例では、マスター・モードに指定された場合には、M2の期間にプログラム・カウンタ40の上位の内容をPC16に出力し、さらに、M3の期間には、プログラム・カウンタ40の下位の内容をPC16に

外部命令デコード34は、もし、プログラム・カウンタ操作命令(たとえば分歧命令)がプログラム・メモリ36から出力されたのを検出して、分歧すべき番地を外部プログラム・カウンタ35へロードするために使用される。

この第3図の応用例からも明らかな様に、本第1発明によれば、デバッグ・モード時に使用されるという外部端子がないため、外部端子利用の端子効率がきわめて高いという事が容易に理解されよう。

第4図は本第2発明の方式を適用したシングル・チップ・マイクロコンピュータの一実施例の構成を示すブロック図である。この中で第1図と同一のものには同一の参照記号を付し、詳しい説明は省略する。

第1図に示す実施例では、第3図の応用例でも示した通り、外部にプログラム・カウンタと、命令デコードが必要である。

第4図の実施例では、内部のプログラム・カウンタ(PC)40の内容をデバッグ・モード時には、

出力する。そしてM1の期間に命令をPC16から入力する。また、スレーブ・モードに指定されている場合は、M2及びM3の期間では、PD17を高インピーダンス状態とし、M1の期間に、命令をPD17より入力する。以上説明した以外の動作は、第1図の実施例と全く同一である。

第6図は、第4図に示した実施例の一応用例である。この内で第3図と同一のものには同一の参照記号を付し詳しい説明を省略する。マイクロコンピュータ50及び51は第4図の実施例のものと同一である。リセット制御回路(RES. CONT)32により、リセット端子41に加えられている"1"レベルの信号が、外部発振器(EXT. CLK. GEN)33の出力である外部クロック9'に同期して"-"レベルに変化すると、マイクロコンピュータ50はマスター・モードに、また同51はスレーブ・モードに入り、互にクロック9'に同期して第5図のM2のタイミング動作を開始する。外部発振器33は、M2の期間の後半に上位アドレス・ラッピング信号53を、またM3の期間の後半に下位ア

アドレス・ラッテ信号54をアドレス・ラッテ(ADDR. LATCH)52に出力する。アドレス・ラッテ52は、それらの信号により、外部アドレス/命令バス56上に出力されるアドレスをラッテし、プログラム・メモリ(PROG. MEM)36の入力とする。プログラム・メモリ36は外部発振器33からM1の期間出力される命令入力信号55に同期して、命令を外部アドレス/命令バス56上に出力し、その命令は、マイクロコンピュータ50及び51に入力される。

いま入力された命令が、外部端子PCからデータを内部RAMへ入力する命令であるとすると、スレーブ・モードに設定されたマイクロコンピュータ51の端子PCから入力されたデータは、同51の端子PBに出力され、マスター・モードに指定されているマイクロコンピュータ50の端子PAから同50のRAMへ入力される。また、その命令が、RAMの内容を端子PCに出力させる命令の場合は、マスター・モードに指定されているマイクロコンピュータ50のRAMの内容が、

能部分70を第7図の機能ブロックに置き替える事により上記の目的を達成する事が可能である。

以下第7図を参照しながらその動作を説明する。なお、第7図のブロックのうち第6図と同じブロックには同一の参照記号を付し、その詳しい説明は省略する。

選択回路(MUX)72は、一方の入力として、プログラム・メモリ36の出力8ビットが入力され、もう一方の入力として、アドレス・ラッテ52 8ビットと、分岐命令オペレーション・コード発生器(JMP)71の出力mビットが並列に入力される。つまり、選択回路72は、プログラム・メモリ36の出力か、または、現在アドレス・ラッテ52にラッテされている番地(「現在番地」という。)へ分岐せよという命令をブレーク要求信号73により選択する。選択回路72はまた、命令入力信号55が非活性のときその出力を高インピーダンスにする。この命令入力信号55が活性化されているときに、ブレーク要求信号73が非活性化されているときは、選択回路72はプログラ

同50の端子PAに出力され、スレーブ・モードに指定されているマイクロコンピュータ51の端子PBから入力され、同51の端子PCから出力される。

つまり、第6図の応用例も第3図の応用例と同じ様に、マスター・モードに指定されているマイクロコンピュータの本来のポートとして使用されていないポートの操作は、スレーブ・モードに指定されているマイクロコンピュータのその命令で指定されたポートが操作されるが、命令で指定されたポートが、マスター・モードのマイクロコンピュータの本来のポートとして使用されているときには、マスター・モードのマイクロコンピュータのそのポートが操作され、スレーブ・モードのマイクロコンピュータのそのポートは操作されない。

一般にプログラムのデバッグ時には、実行中のプログラムを一時停止させたり(ブレーク機能)、1ステップづつ実行させる機能(1ステップ機能)が必要である。第6図の応用例の点線で囲んだ機

ム・メモリ36の出力を外部アドレス/命令バス56に接続する。また、ブレーク要求信号73が活性化されると「現在番地へ分岐せよ」という命令を外部アドレス/命令バス56上へ出力する。これから明らかなる様にブレーク要求信号73が活性化されると、マイクロコンピュータ(一般的にはマイクロプロセッサ)に常に「現在番地へ分岐せよ」という命令が入力されるため、外見上そのマイクロコンピュータは現在番地で停止している様に見える。このブレーク要求信号73をマイクロコンピュータの動作クロックに同期させて、活性化させたり非活性化させたりする事により1ステップ動作が行える事は当業者なら容易に想像できるであろう。この様に第7図の応用例は、本発明によるマイクロコンピュータの内部にデバッグ・モードのみに使用される回路を内蔵させなくてもブレーク動作や1ステップ動作が可能な事を示す。集積回路において、そのコストは、ほほチップの面積に比例するため、この様にチップ上の回路を増加させる事なく容易にブレーク動作や1ス

タップ動作をさせられる事は、そのシングル・チップ・マイクロコンピュータを通常モードにおいて使用する場合のコスト・ダウンに大いに貢献する事は容易に理解されるであろう。

なお、第1図及び第4図で示した実施例では、デバッグ・モードにおいては命令はすべて並列に外部よりマイクロコンピュータに入力する様にしているが、これは必ずしも並列である必要はない、シングル・チップ・マイクロコンピュータの外部端子数が少ない場合等には、直列に入力しても何らさしつかえない。また、それらの実施例で、通常モードとデバッグ・モードの切り換えにリセット端子を、また、外部からの命令入力及びマスター・とスレーブのデータ交換用の端子としてポートを使用したが、他の端子を使用しても同等の効果が得られる。

さらに、これらの実施例では、いずれも目的とするシングル・チップ・マイクロコンピュータを2個使用して、プログラムの開発用に応用する様になっているが、これは、外部端子の都合により

て、プログラムの開発等を行なうことができ、従来の評価チップを使用する場合に較べ、はるかに柔軟にシングル・チップ・マイクロコンピュータの仕様が決定できるほか、プログラムの開発時だけに必要な外部端子を非常に少なくでき、シングル・チップ・マイクロコンピュータとして使用する場合に、外部端子の利用の端子効率がきわめて高いところのシングル・チップ・マイクロコンピュータが得られる。

4. 図面の簡単な説明

第1図は本第1発明の方式を適用した一実施例のシングル・チップ・マイクロコンピュータの構成を示すブロック図、第2図は第1図の実施例の通常モードでの応用例を示すブロック図、第3図は第1図の実施例のデバッグ・モードでの応用例を示すブロック図、第4図は本第2発明の方式を適用した一実施例のシングル・チップ・マイクロコンピュータの構成を示すブロック図、第5図は第4図の実施例の動作を説明するためのタイムチ

2個にしたまで、機能分担手段を複雑にする事により、3個以上のシングル・チップ・マイクロコンピュータを使用してもよい。

ところで、プログラムの開発を行う場合は、単にプログラムのみを修正しながら行う事はまれで、マイクロコンピュータの内部の状態（たとえば、参照されたメモリの内容等）をモニタしながら行う方が効率がよいが、本発明によるシングル・チップ・マイクロコンピュータ方式のデバッグ・モードを使用して、プログラムを開発する場合は、マスター・及びスレーブのデータ変換用に外部に出力されているデータ・バス（第1図の実施例でマスター・モードのときはPA14、またスレーブ・モードのときはPB15に相当する）をモニタする事によって、上記の目的を達成できる事は首うまでもない。

（発明の効果）

以上詳細に説明した通り、本発明の方式によれば、前述の構成をとることにより、目的とするシングル・チップ・マイクロコンピュータを使用し

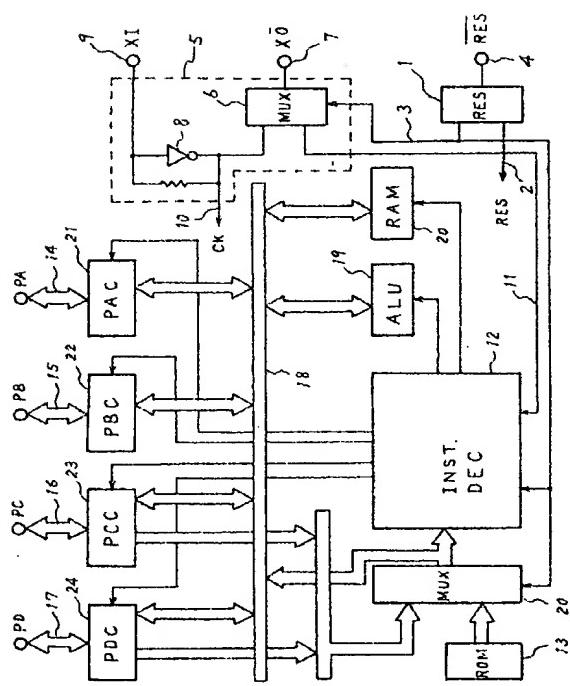
て、プログラムの開発等を行なうことができ、従来の評価チップを使用する場合に較べ、はるかに柔軟にシングル・チップ・マイクロコンピュータの仕様が決定できるほか、プログラムの開発時だけに必要な外部端子を非常に少なくでき、シングル・チップ・マイクロコンピュータとして使用する場合に、外部端子の利用の端子効率がきわめて高いところのシングル・チップ・マイクロコンピュータが得られる。

図について

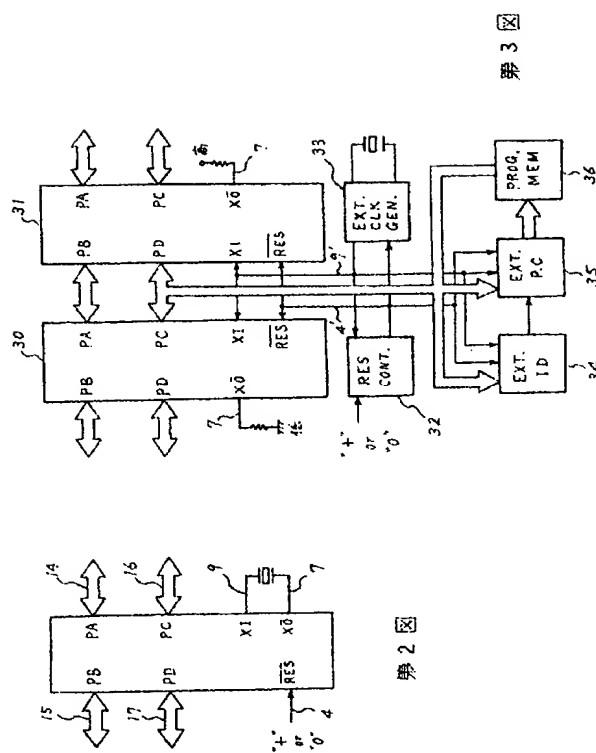
1……3値デコーダ(RES)、2……リセット信号、3……モード切換、4……リセット端子、4'……リセット制御信号、5……発振器、6～20、41、72……選択回路(MUX)、7、9……外部端子、8……増幅器、9'……外部クロック、10……内部クロック、11……マスター・スレーブ切り替え信号、12……命令デコーダ(INST. DEC)、13……ROM、14……外部端子PA、15……外部端子PB、16……外部端子PC、17……外部端子PD、18……内部データ・バス、19……算術論理ユニット(ALU)、21……プログラム・コントローラ(PAC)、22……プログラム・コントローラ(PBC)、23……プログラム・コントローラ(PCC)、24……プログラム・コントローラ(PDC)、30、31……(第1発明の一実施例の)シングル・チップ・マイクロコンピュータ、32……リセット制御回路(RES.CNT)。

3 3 ……外部発振器 (EXT, CLK, GEN) , 3 4
 ……外部命令デコ - ダ (EXT, ID), 3 5 ……外
 部プログラム・カウンタ (EXT, PC), 3 6 ……
 プログラム・カウンタ (PC), 4 0 ……
 プログラム・カウンタ, 4 2 ……アドレス・イン
 ストラクション・バス (AIB), 5 0, 5 1 ……
 (第2発明の一実施例の) シングル・チップ・マ
 イクロコンピュータ, 5 2 ……アドレス・ラッテ
 (ADDR, LATCH), 5 3 ……上位アドレス・ラ
 ッチ信号, 5 4 ……下位アドレス・ラッテ信号,
 5 5 ……命令入力信号, 5 6 ……外部アドレス/
 命令バス, 7 0 ……機能部分, 7 1 ……分岐命令
 オペレ - ション・コード発生器 (JMP), 7 3 …
 …ブレー - ク要求信号。

代理人 弁理士 内 原

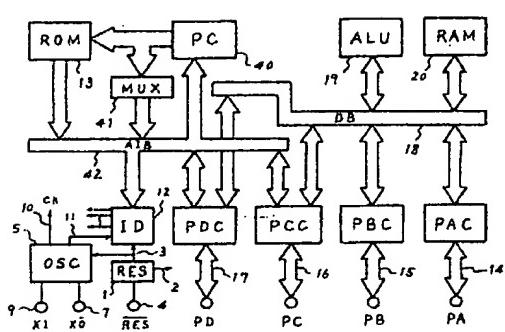


第1図

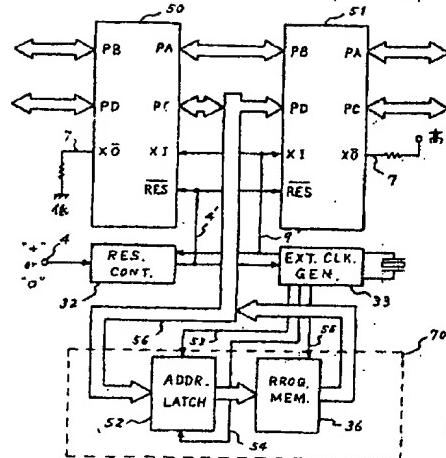


第2図

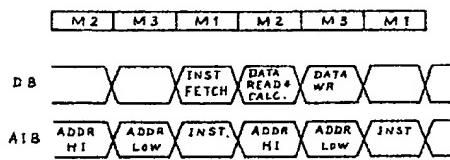
第3図



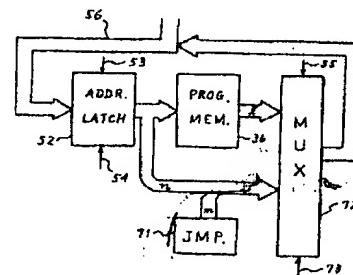
第4図



第6図



第5図



第7図